AGH

AGH UNIVERSITY OF SCIENCE AND TECHNOLOGY

Transceiver do szybkiej komunikacji szeregowej i pętla fazowa do ogólnych zastosowań

Mirosław Firlej
Opiekun: dr hab. inż. Marek Idzik

Faculty of Physics and Applied Computer Science
AGH University of Science and Technology

21 Marzec 2011, Kraków

Plan prezentacji

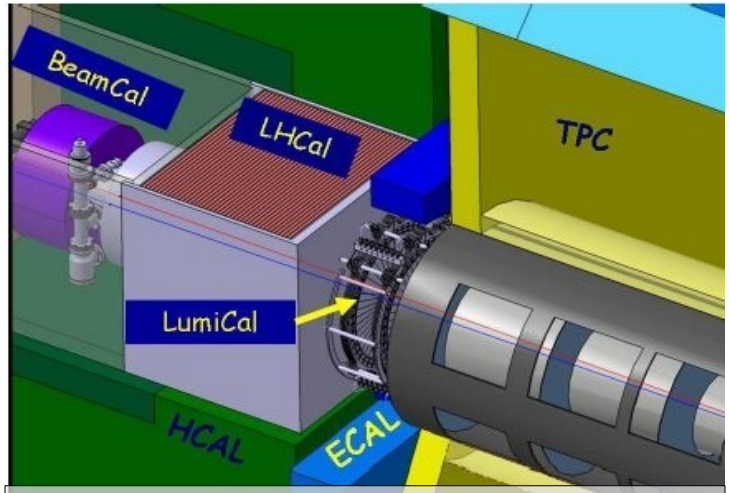
- Założenia i cele projektu
- Architektura i projekt transceiver'a
- Stanowisko pomiarowe
- Pomiary transceiver'a
  - Zakres częstotliwości pracy PLL i CDR
  - Efektywność transmisji danych
- Drugi prototyp pętli fazowej – projekt i pomiary
- Wstępne testy transmisji kablowej
- Podsumowanie
- Plany na przyszłość

Możliwe zastosowania

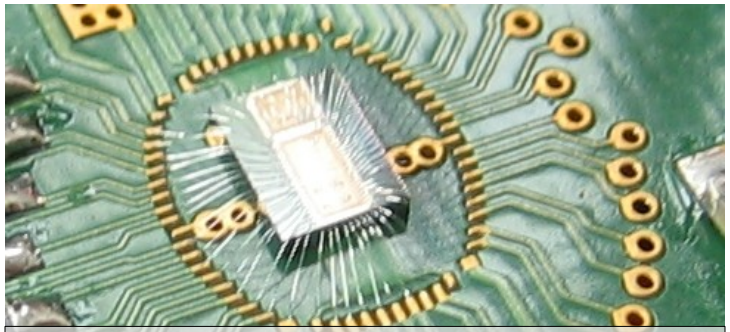
- Możliwe zastosowania
  - Szybka transmisja danych z detektora świetlności w ILC (International Linear Collider)
  - Serializacja i transmisja danych z wielokanałowych przetworników analogowo-cyfrowych (ADC)
  - Pomiary czasowe dla eksperymentów fizyki wysokich energii z wykorzystaniem układów PLL lub DLL

Założenia projektu transceiver'a

- Wydajny odczyt danych z detektora świetlności (LumiCal) w ILC
- Maksymalna szybkość pracy w technologii AMS 0.35 μm
- Szeroki zakres częstotliwości transmisji
- Pętla fazowa ogólnego przeznaczenia możliwa do zastosowania także w innych układach



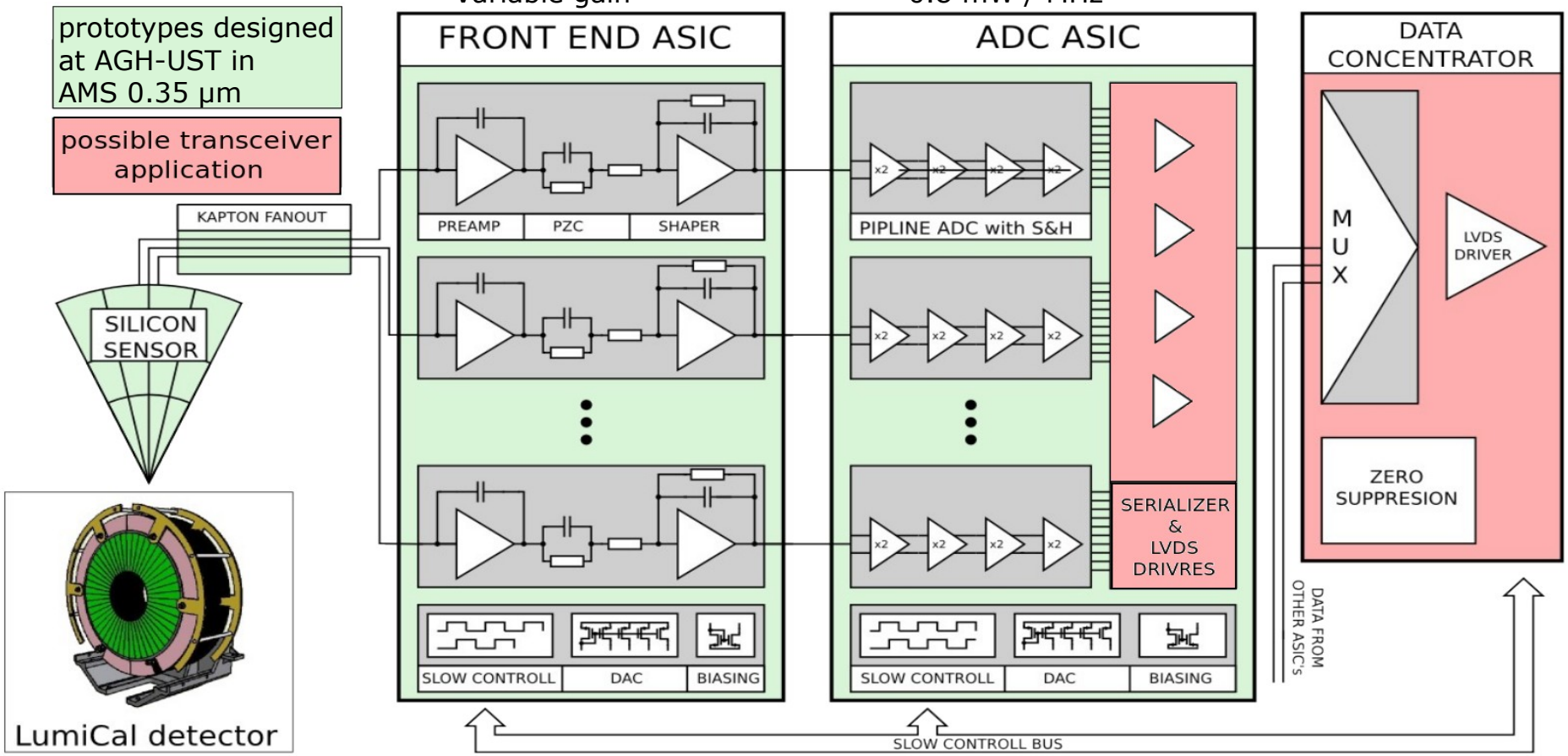
Detektor


Prototyp transceiver'a
AMS 0.35 μm

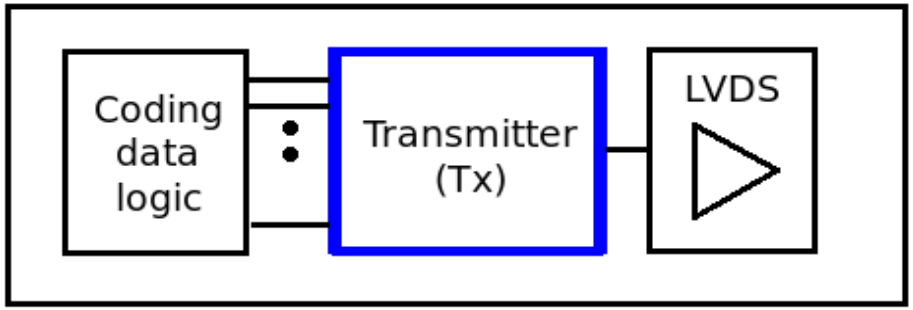
LumiCal -architektura systemu odczytu

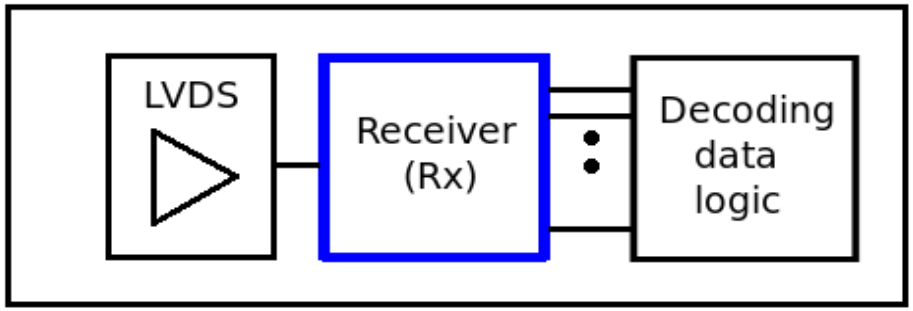
- Peaking time 60ns
- CR-RC shaping
- Variable gain

- 10 bit, ENOB = 9.3
- 1kHz – 45MHz sample freq.
- ~0.8 mW / MHz



Bloki transceiver'a





- Nadajnik i Odbiornik były głównym zdaniem projektu
- Szybkie (~1GHz) szeregowe bufory – LVDS (Low Voltage Differential Signaling) – istniejący projekt
- Logika kodująca i dekodująca – zaimplementowana w programie komputerowym

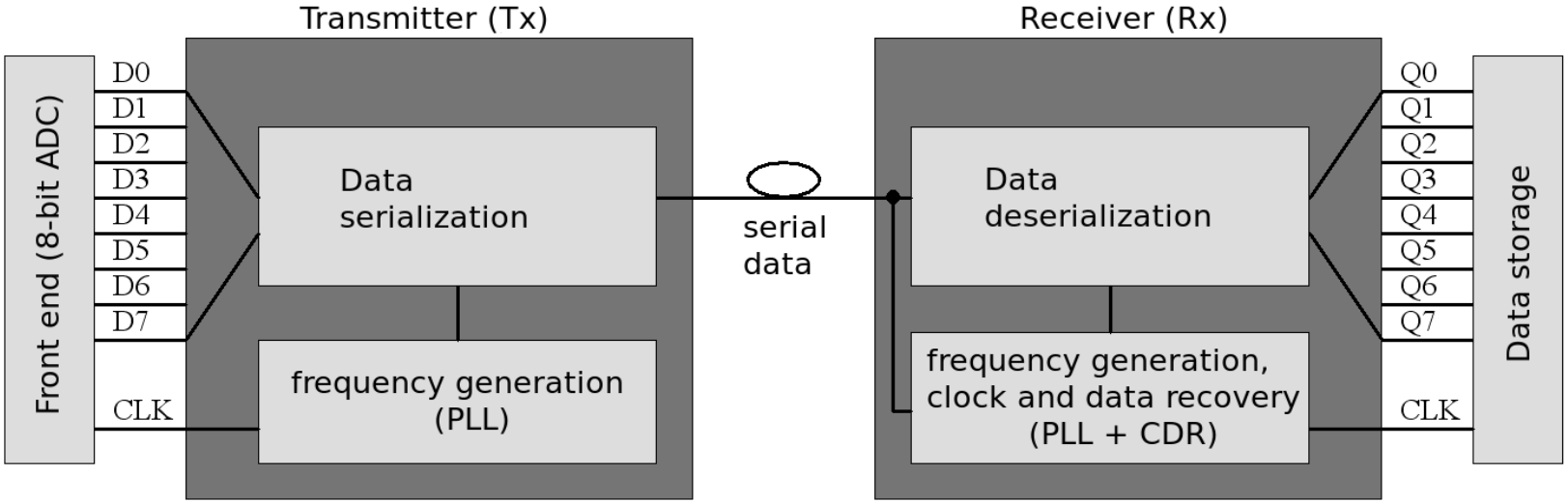
Architektura transceiver'a

Nadajnik (Tx)

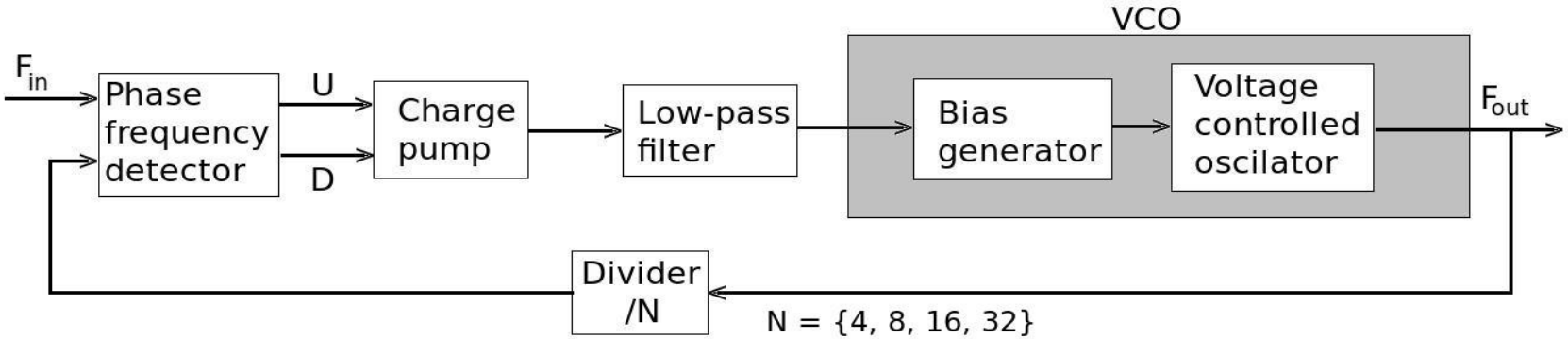
- Konwerter danych równoległych na postać szeregową
- Zegar do ~1GHz z pętli fazowej (PLL)

Odbiornik (Rx)

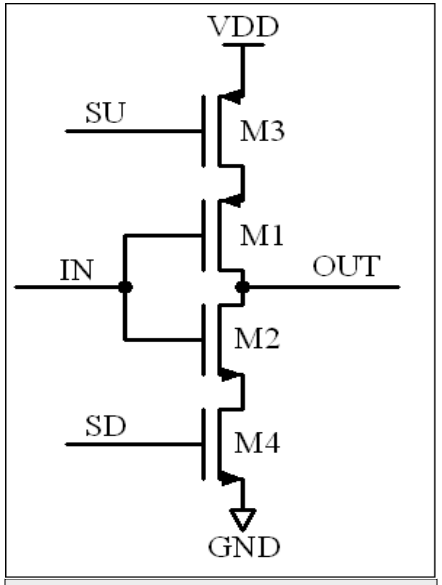
- Konwerter danych szeregowych na postać równoległą
- Zegar jest synchronizowany z nadajnikiem za pomocą CDR



Pętla fazowa (PLL) jako blok używany do generacji częstotliwości



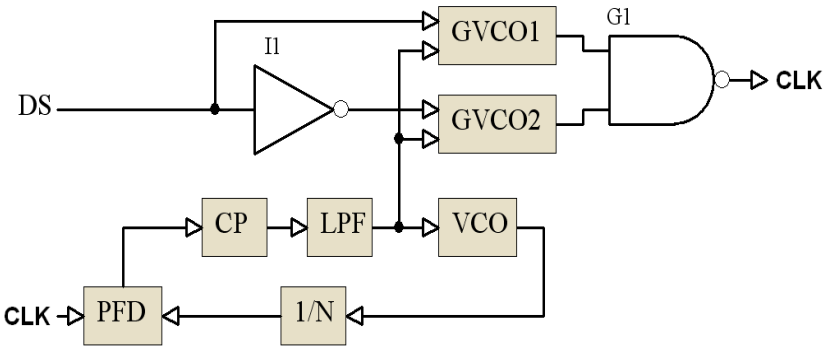
- Pętla fazowa drugiego rodzaju
- Oscylator sterowany napięciem (VCO)
- Cztery częstotliwości pracy:
  - 120MHz, 240MHz, 480MHz oraz 960MHz

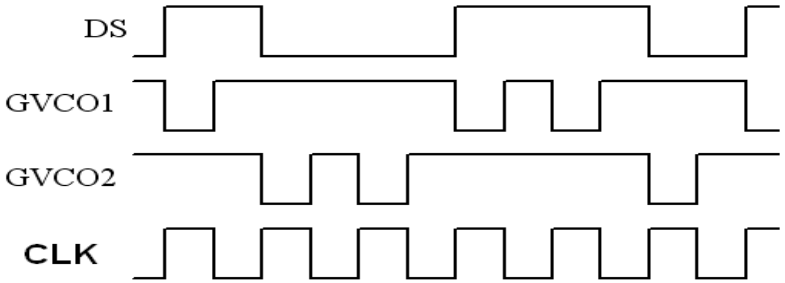


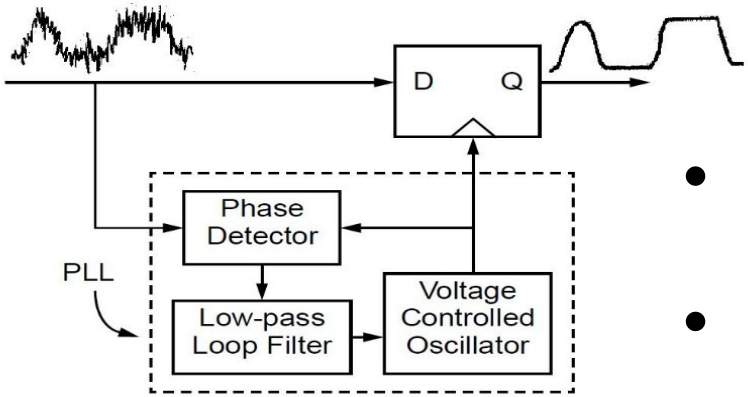
Oscylator (VCO)

Układ odzyskiwania zegara i danych (CDR)

- Synchronizuje przebieg zegarowy między nadajnikiem i odbiornikiem
- Burst mode CDR (dwa dodatkowe VCO sterowane poziomami sygnału danych)
- Każda zmiana poziomu danych restartuje przebieg zegarowy z ustaloną fazą

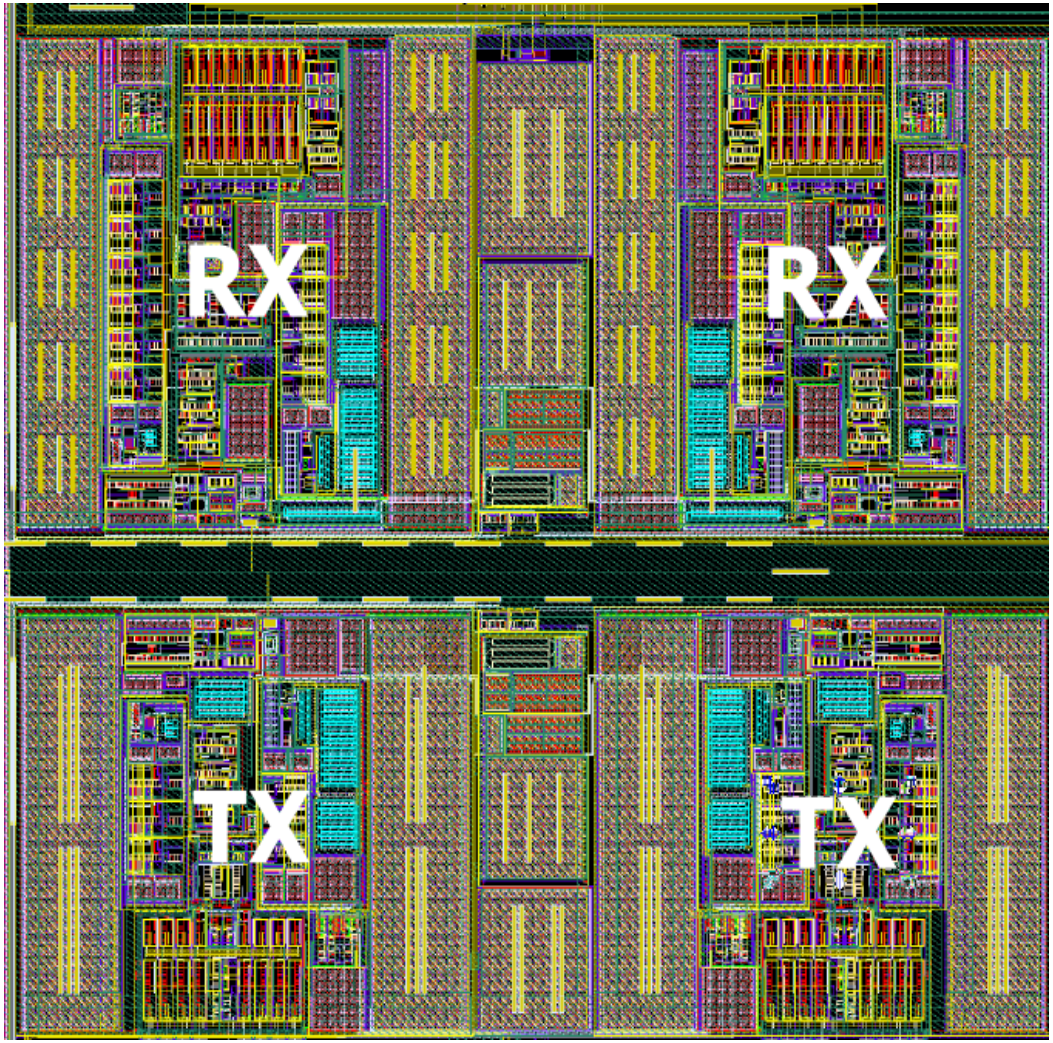






- Odzyskiwanie danych – usuwanie szumów i zakłóceń
- Logika decyzyjna na przerzutniku D

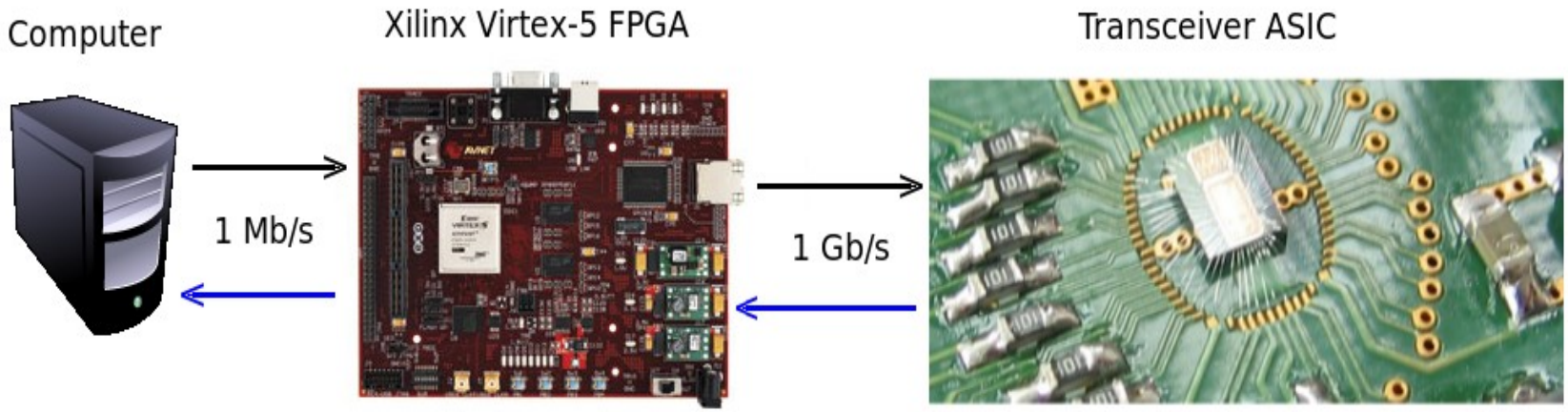
Maski technologiczne transceiver'a



- Prototypowy układ zawiera dwa odbiorniki i dwa nadajniki
- Jedna para Rx-Tx jest wewnętrznie połączona
- Druga para z buforami LVDS wyprowadzona na zewnątrz

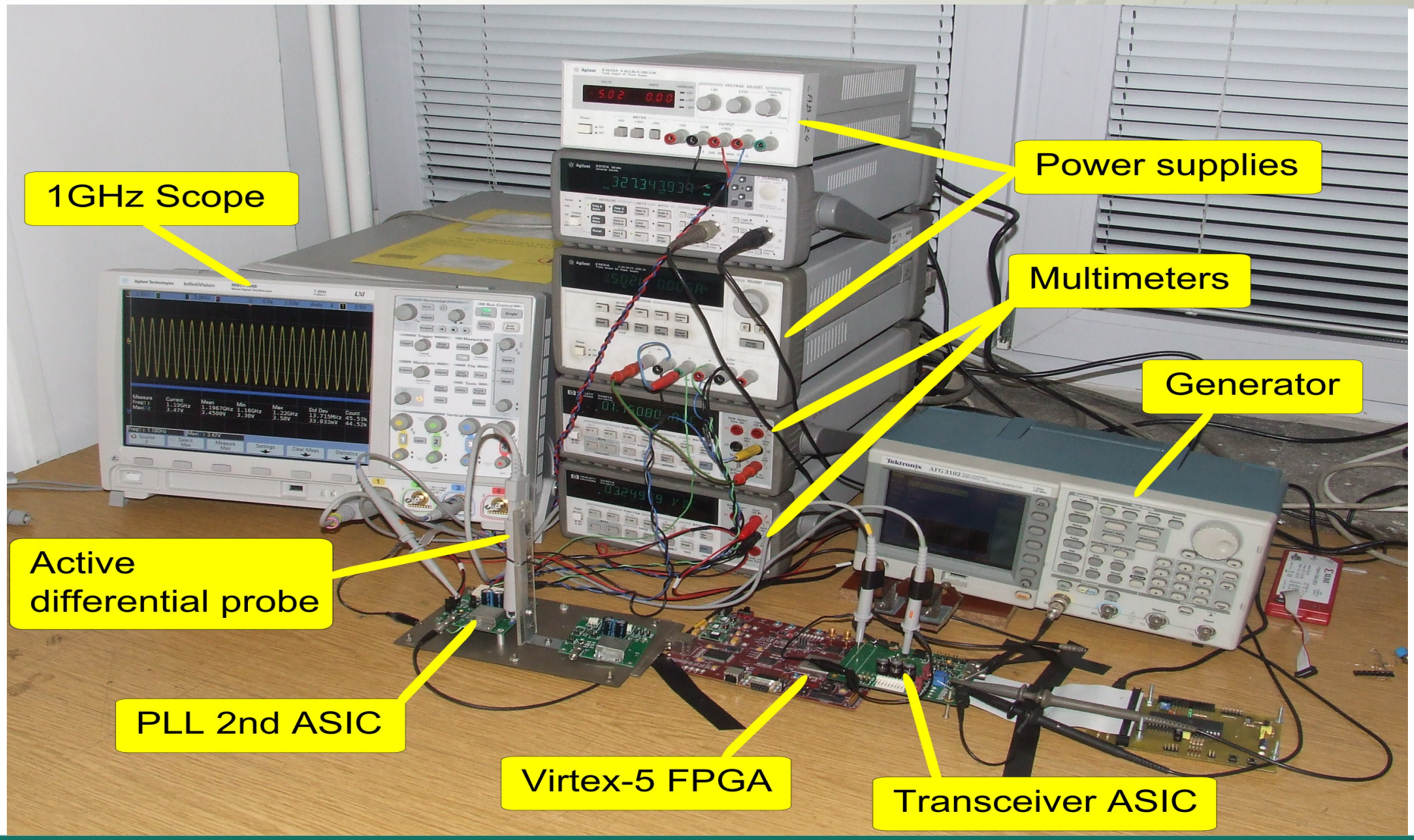
- Rozmiar Odbiornika: 300 μm x 190 μm
- Rozmiar Nadajnika: 260 μm x 160 μm

Rdzeń systemu pomiarowego



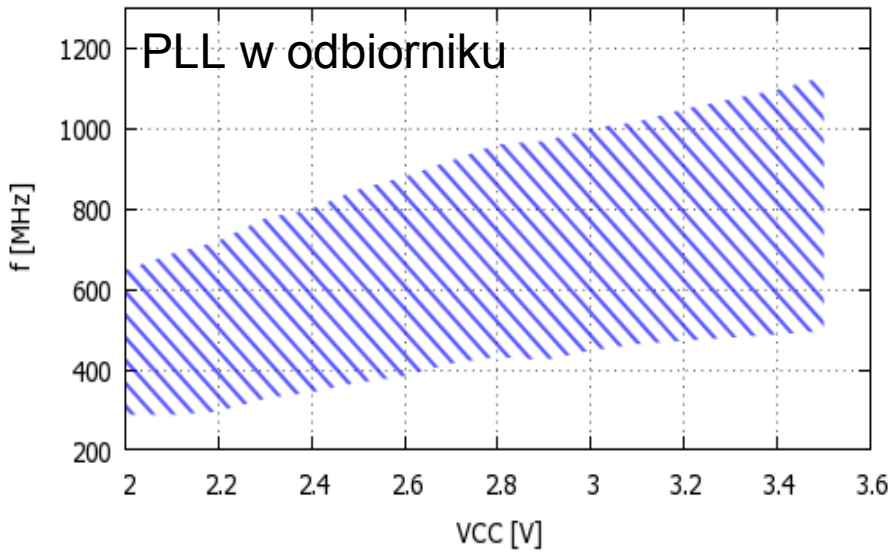
- Szybka pętla transmisji (Virtex 5 ► Transceiver ► Virtex 5) do pomiarów efektywności transmisji
- FPGA ◄► ASIC 8-bitowa magistrala (1 Gb/s = 125 MB/s) z LVDS
- PC ◄► Virtex 5 wolna transmisja (pakiet danych do 32 kB)
- Program w C++ do kodowania, dekodowania i analizy danych
- Kodowanie 8b/10b zapewniające wystarczającą liczbę zmian linii danych dla układu CDR

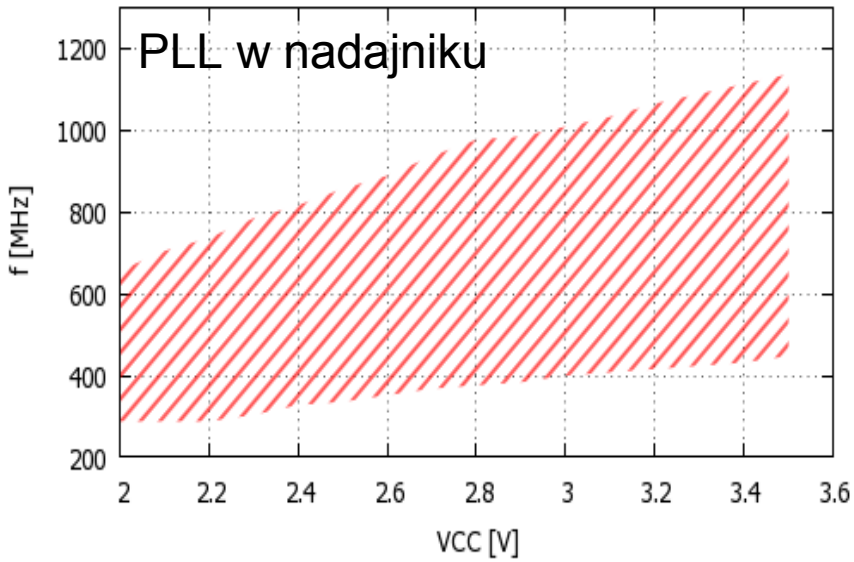
Aparatura pomiarowa – podczas testów



Pomiary pętli fazowej w trybie 960MHz

Częstotliwość pętli przestrajana poprzez zmianę częstotliwości referencyjnej





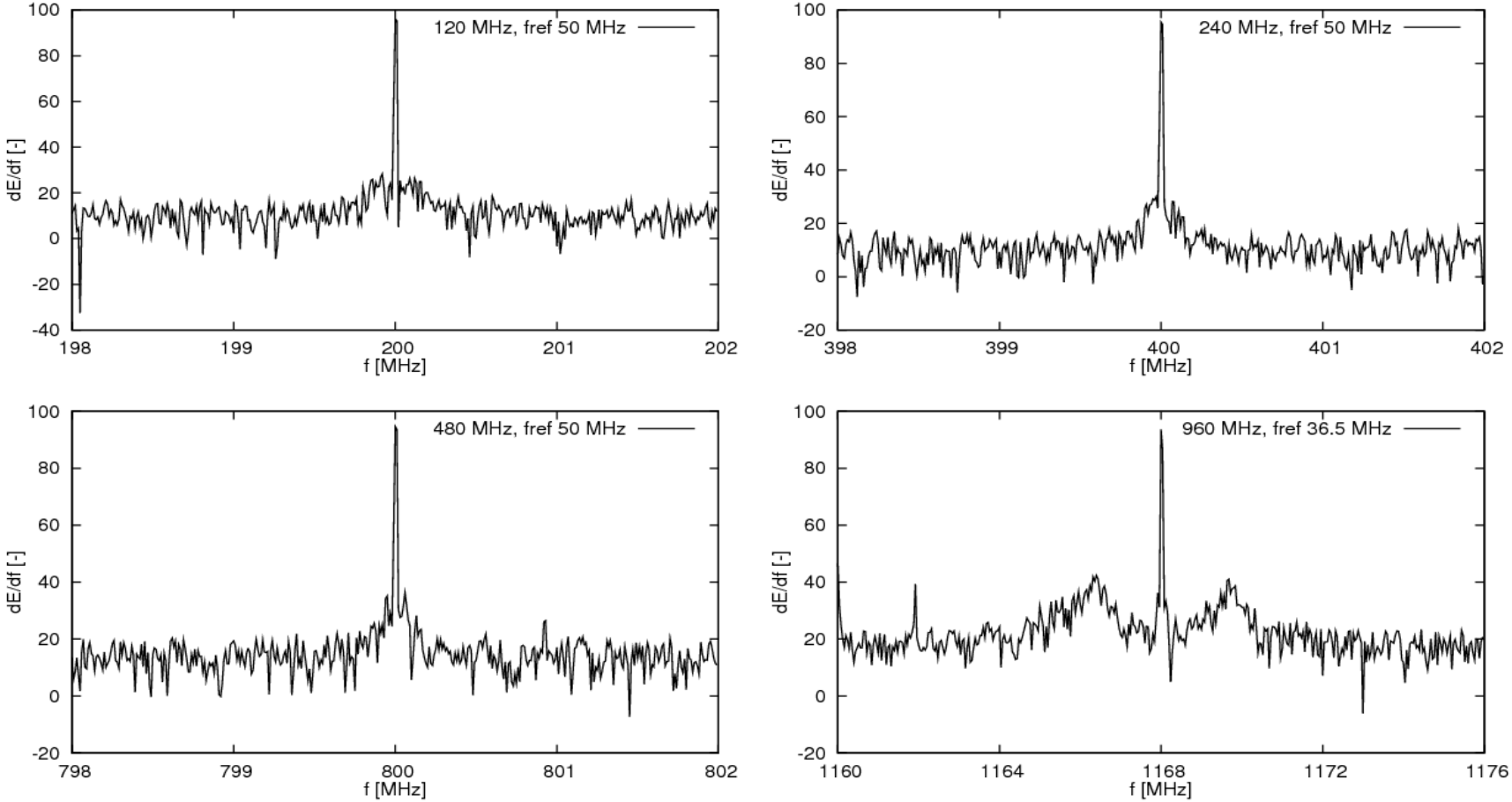
- 480 ÷ 1072 MHz przy 3.3V VDD
- Częstotliwość pracy od 288MHz (2.0V) do 1128MHz (przy 3.5V)

- 424 ÷ 1088 MHz przy 3.3V VDD
- Częstotliwość pracy od 288MHz (2.0V) do 1136MHz (przy 3.5V)

Obie pętle pracują w szerokim zakresie częstotliwości i zasilania

Widma częstotliwości wyjściowej pętli fazowej (pierwszy prototyp układu)

Widma częstotliwości maksymalnej osiąganej we wszystkich trybach pracy

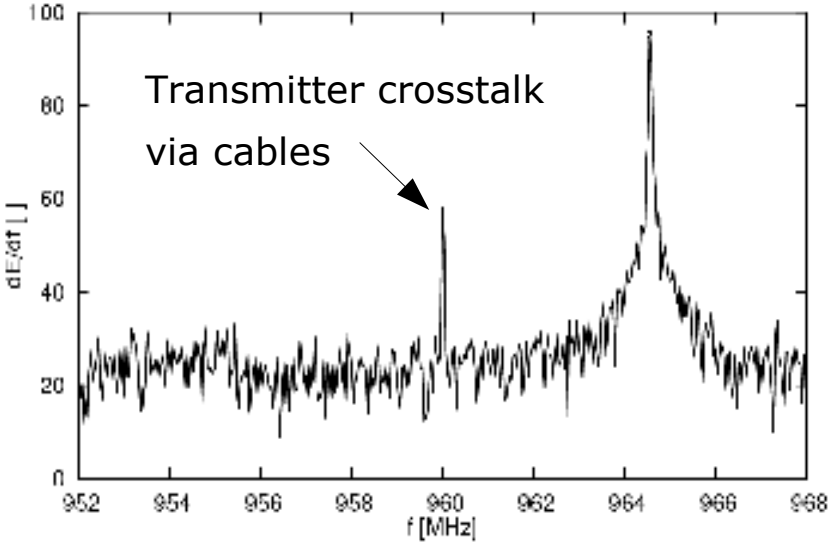


Mierzone za pomocą Agilent 4395A

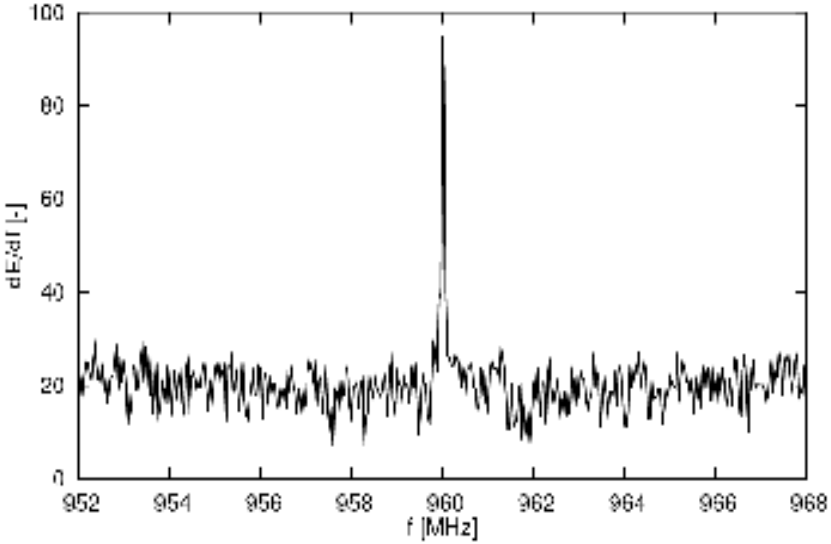
Pomiary układu CDR w trybie 960MHz

Widma mierzone za pomocą analizatora Agilent 4395A:

- Brak transmisji (CDR nie pracuje)



- Transmisja (CDR pracuje normalnie)

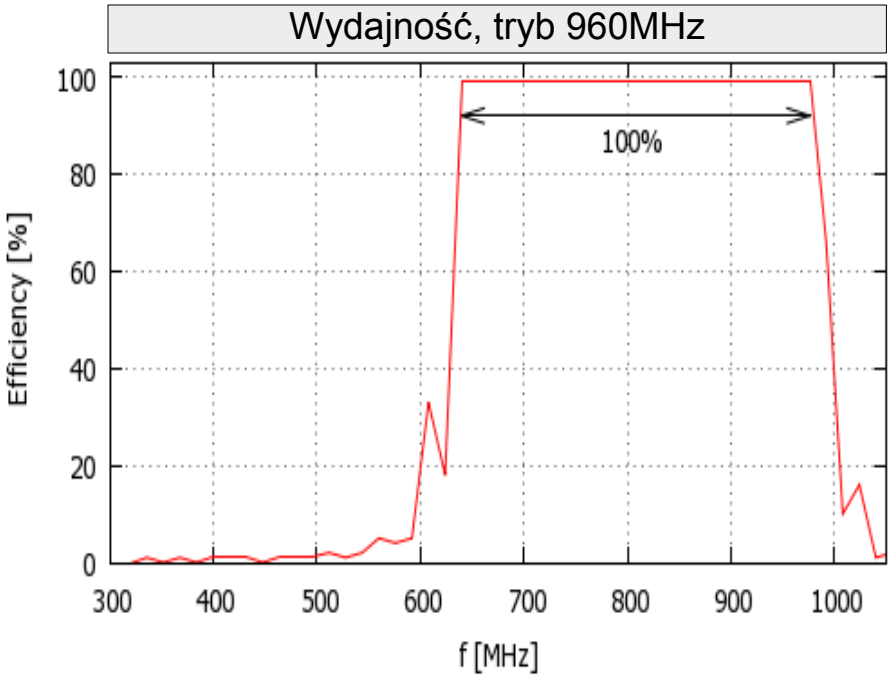


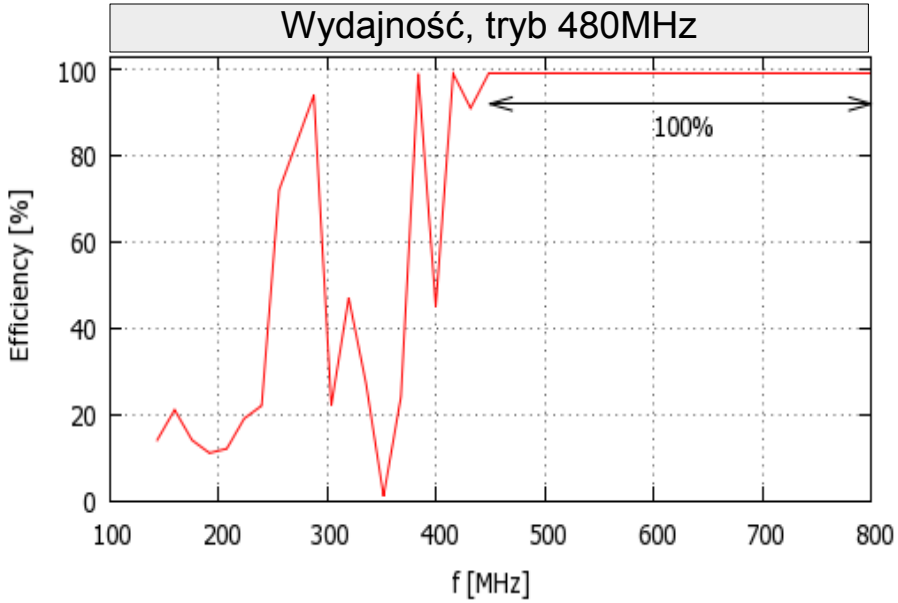
- Częstotliwość nadajnika =960MHz
- Częstotliwość odbiornika ~965MHz
- 5MHz (0.5%) offsetu
- **CDR nie ma synchronizacji**

- Częstotliwość odbiornika taka sama jak nadajnika
- **CDR działa poprawnie**

Pomiary transmisji danych - wydajność

- Pakiet testowy – 32kB losowych danych z kodowaniem 8b/10b
- Pakiet wysyłany 20 razy (640kB) dla każdej częstotliwości i napięcia zasilania

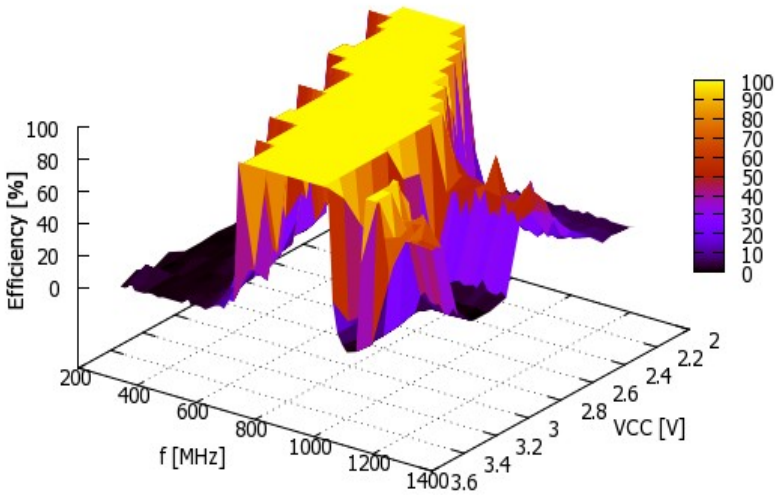




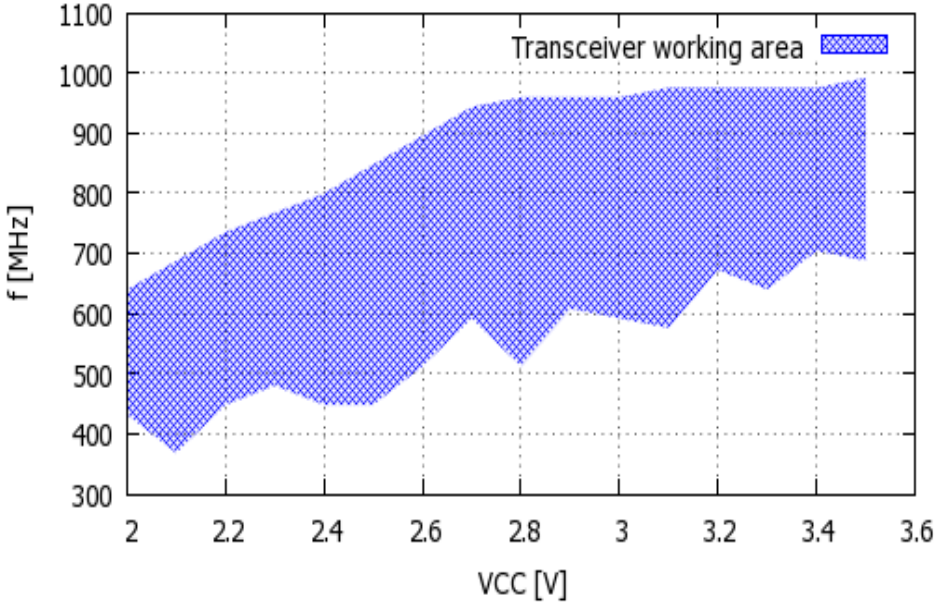
- Wydajność 100% – to brak błędu w całym pakiecie 640kB

Wydajność transmisji danych…

Wydajność, tryb 960MHz



Obszar wydajności 100%, tryb 960MHz

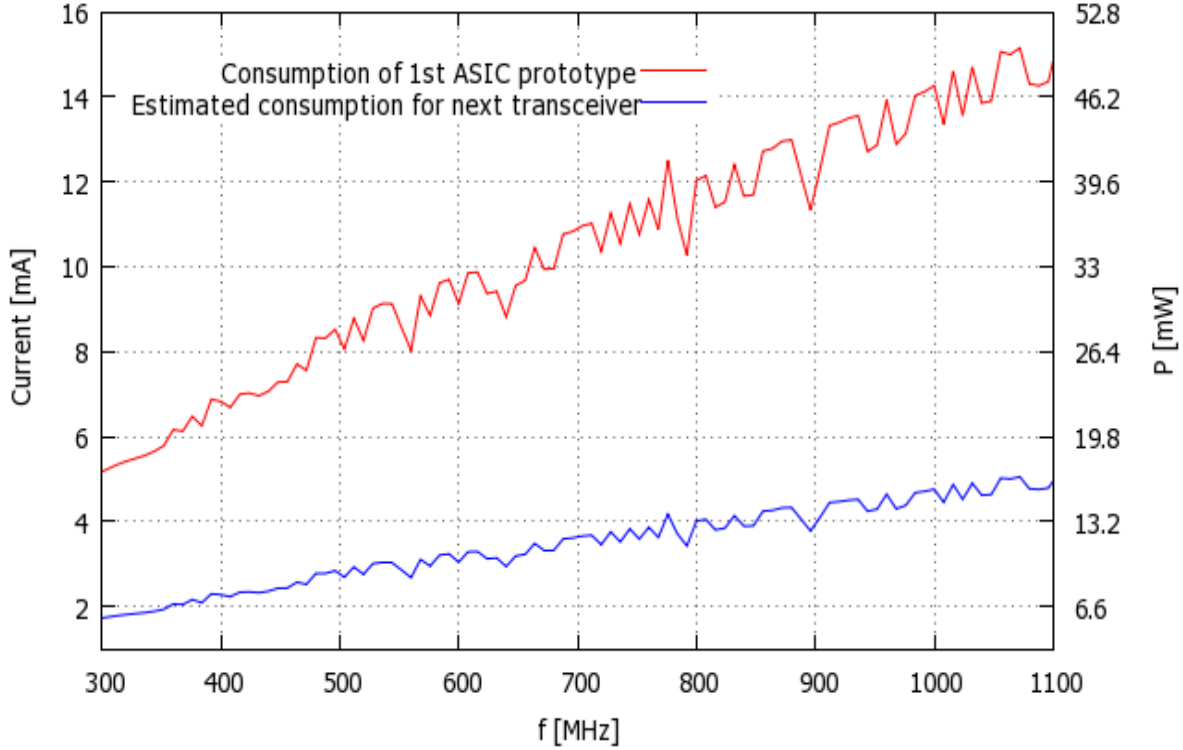


Prototyp działa w pełni poprawnie w szerokim zakresie: napięć zasilania i częstotliwości

Obszar wydajności 100% w trybie 960MHz:

- Od 640 do 976 MHz przy 3.3V
- Od 386MHz (przy 2.1V) do 992MHz (przy 3.5V)

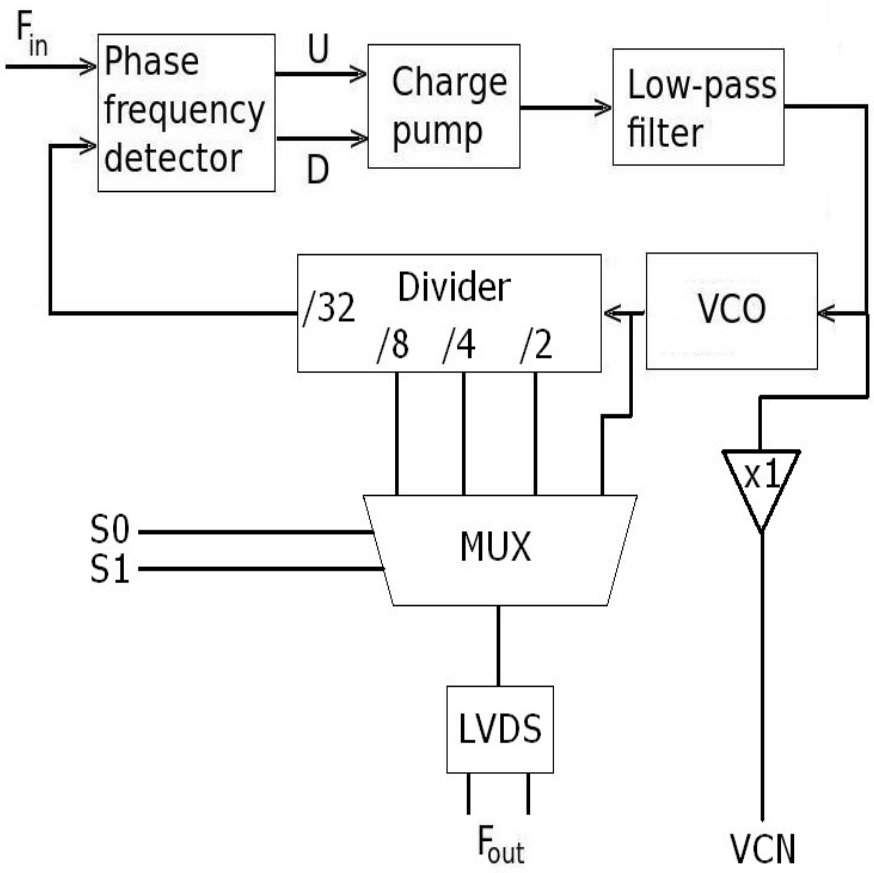
Pobór mocy przez układ transceiver'a



- Pierwszy prototyp nie był optymalizowany pod względem poboru prądu (mocy)
- Pobór mocy: **45mW** przy 960MHz oraz 3.3V zasilania
- Po równo ~22.5mW: odbiornik i nadajnik

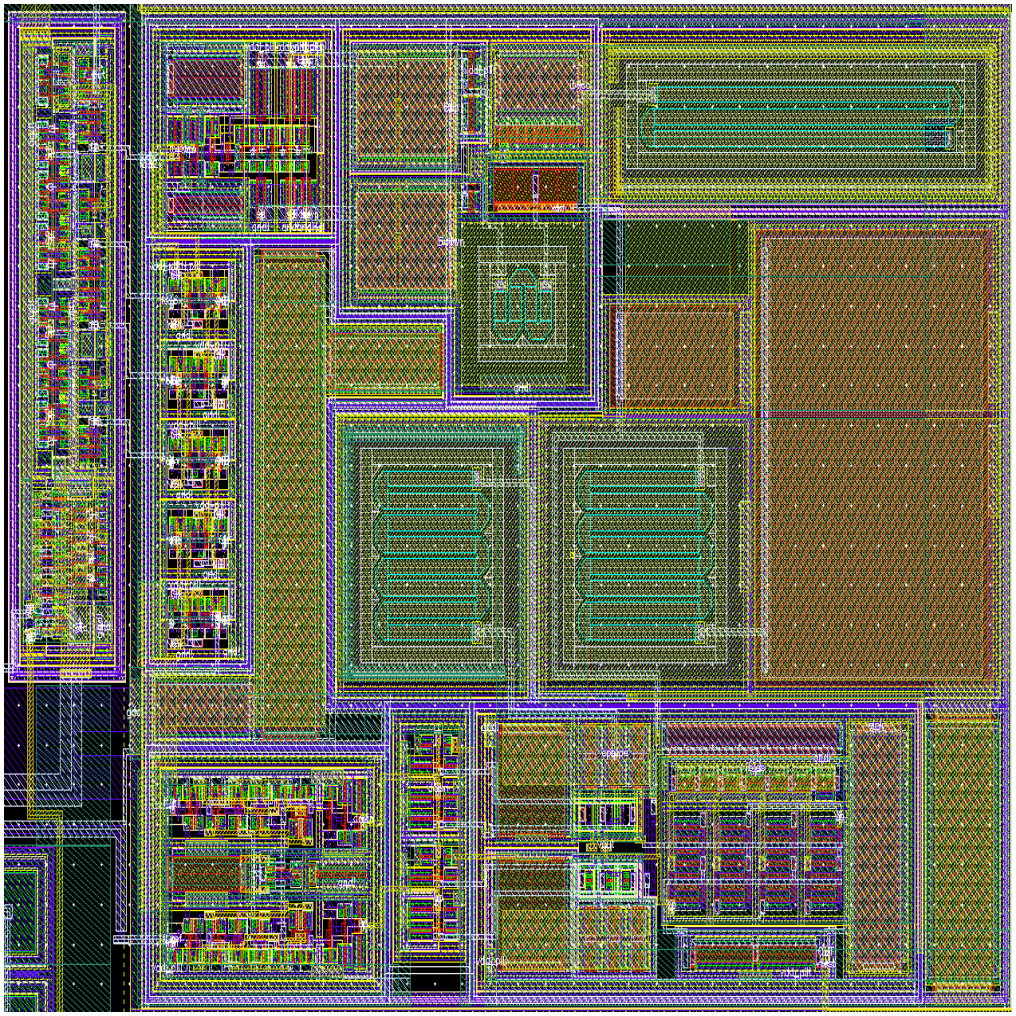
- Oszacowany (bazujący na pomiarach drugiego prototypu PLL) pobór prądu będzie 4 razy mniejszy
- Całkowity szacunek poboru mocy w technologii AMS 0.35 μm dla drugiego transceivera: ~6÷8mW nadajnik + ~6÷8mW odbiornik

Projekt pętli fazowej o niskim poborze mocy (drugi prototyp)



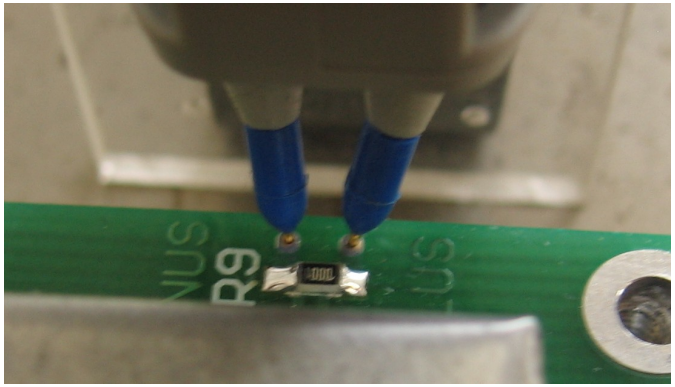
- Pętla fazowa drugiego rodzaju
- Oscylator sterowany napięciem
- Jeden tryb pracy ~1GHz z szerokim zakresem przestrajania
- Częstotliwość wejściowa pomnożona przez 32
- Multipleksowane wyjście LVDS z dzielnika
- Buforowane napięcie z filtru dolnoprzepustowego (LPF)
- Niski pobór mocy (~4mW)

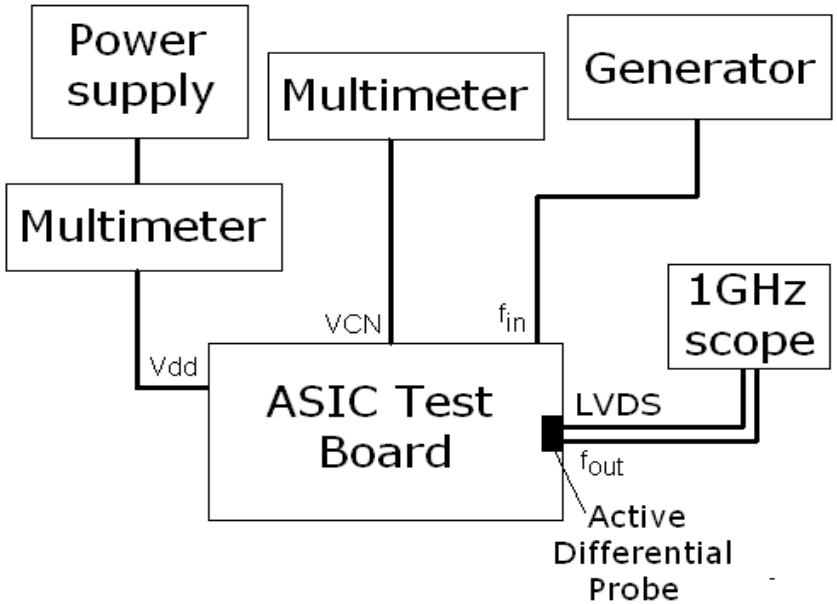
Projekt pętli fazowej - Layout



- Założenia:
  - Maksymalna możliwa częstotliwość pracy w technologii AMS 0.35 μm
  - Szeroki zakres częstotliwości pracy
  - Niski pobór mocy
- Wymiary:
  160 μm x 140 μm

Pomiary drugiego prototypu pętli fazowej

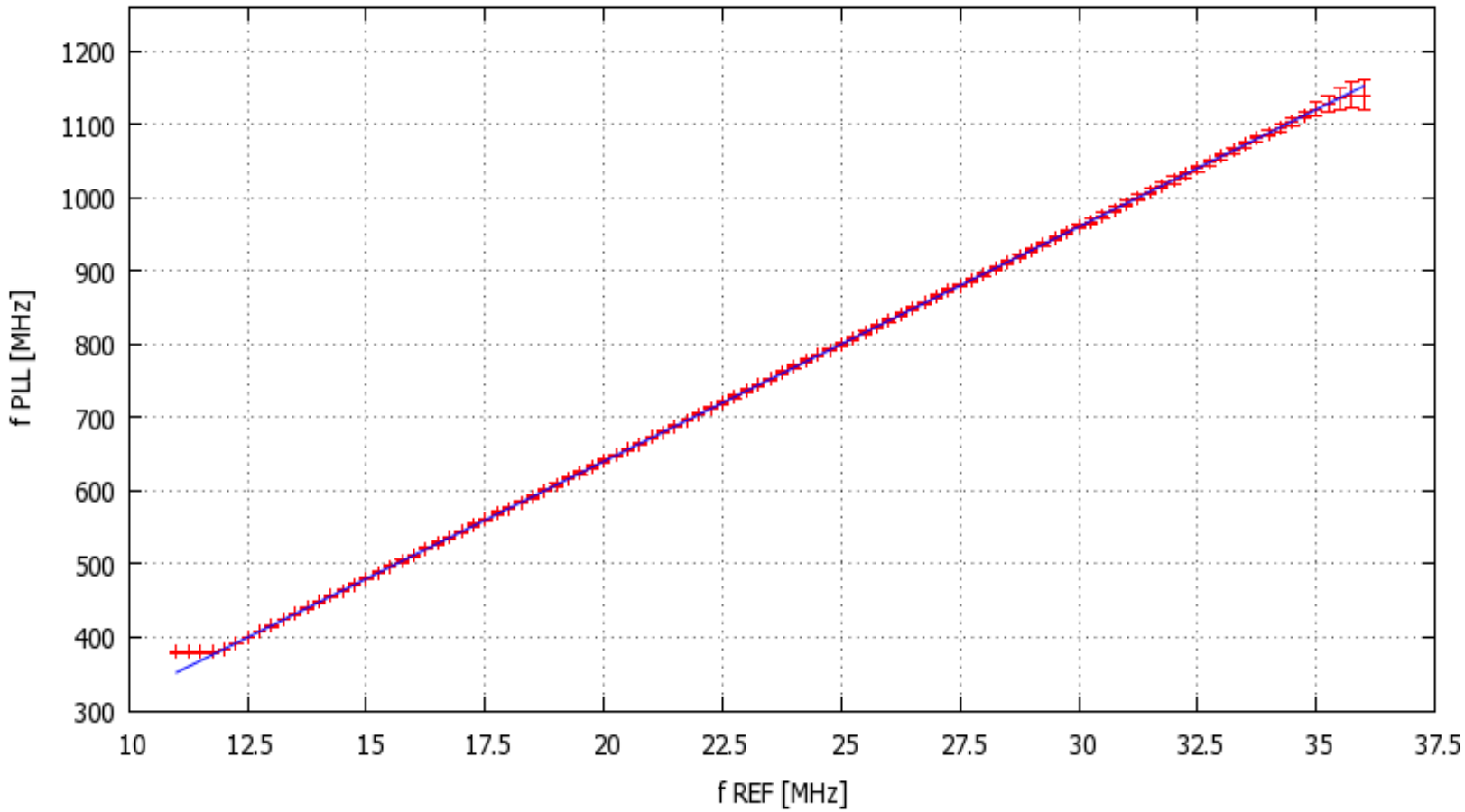




Prosty układ pomiarowy:

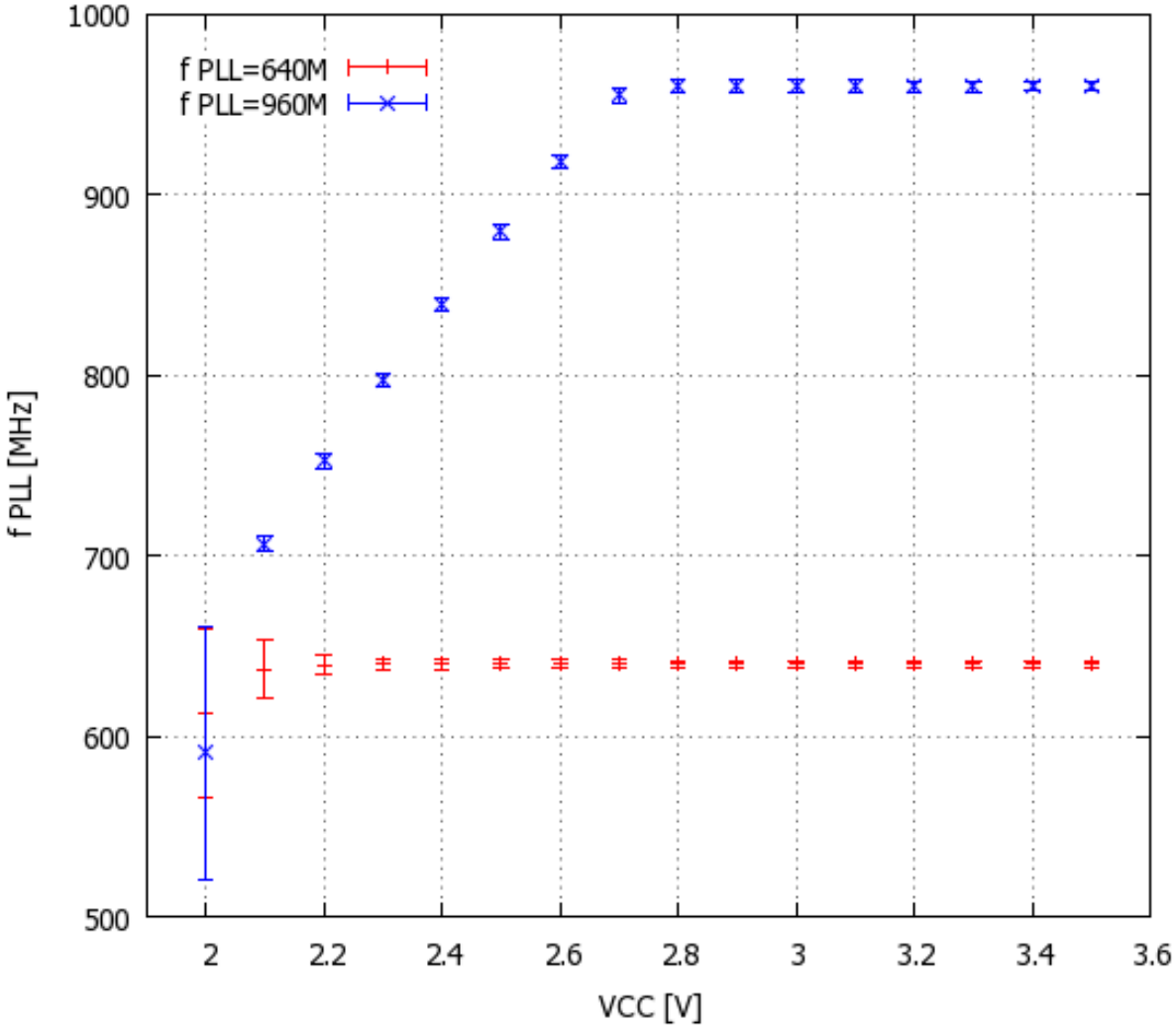
- Płytka testowa z prototypowym Chipem
- Sonda różnicowa podłączona bezpośrednio do terminatora
- Częstotliwość mierzona za pomocą oscyloskopu 1GHz(4GS/s)
- Sprzęt laboratoryjny sterowany poprzez GPIB
- Program komputerowy używany do zbierania danych

Pomiary drugiego prototypu pętli fazowej



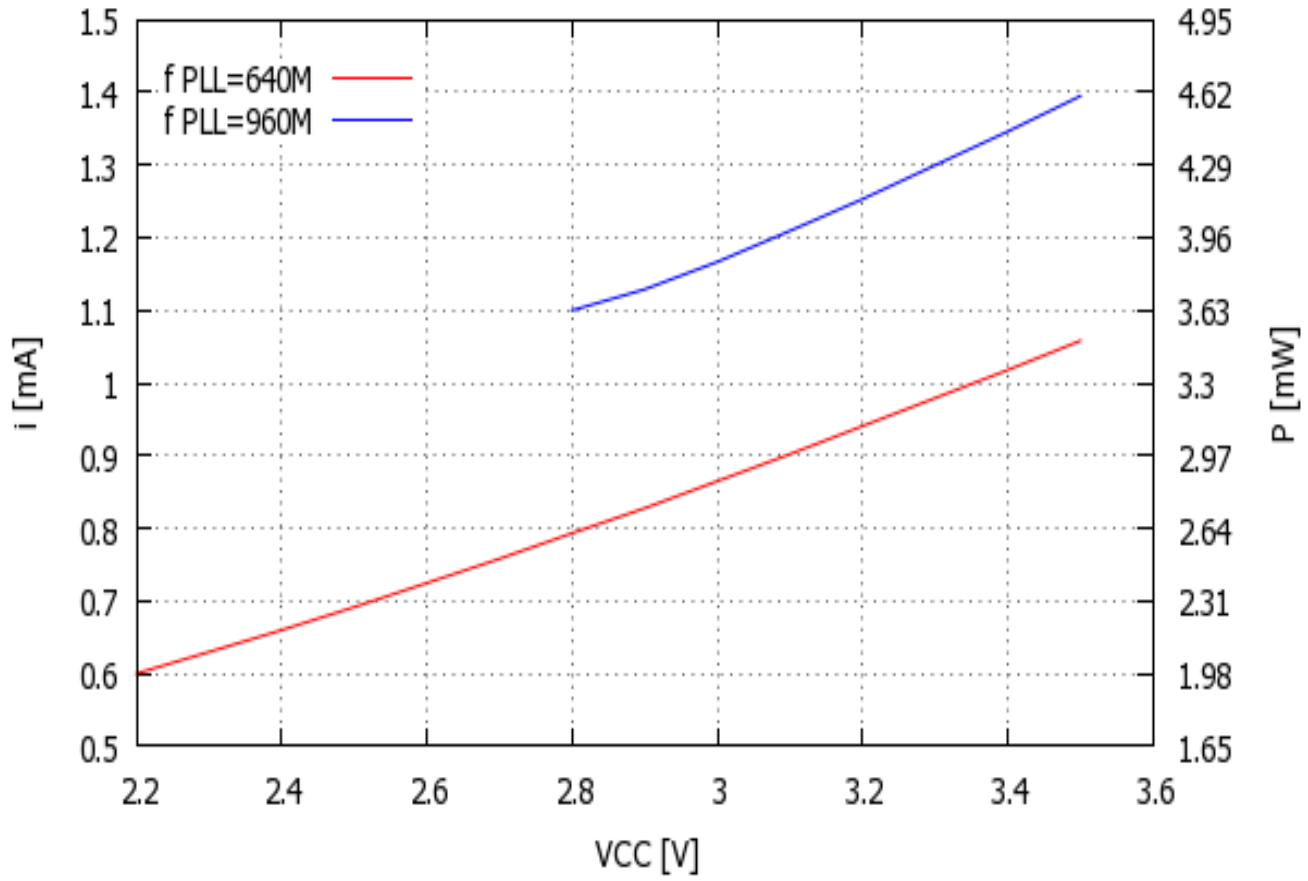
PLL działa od **380 ÷ 1120 MHz** przy zasilaniu 3.3V

Pomiary pętli fazowej - zasilanie



- PLL pracuje z zasilaniem:
  - **2.3V ÷ 3.5V** z 640MHz
  - **2.8V ÷ 3.5V** z 960MHz
- Odchylenie standardowe:
  - ~1.5MHz przy 640MHz (~ 0.2%)
  - ~2MHz przy 960MHz (~ 0.2%)

Pobór mocy przez układ pętli fazowej



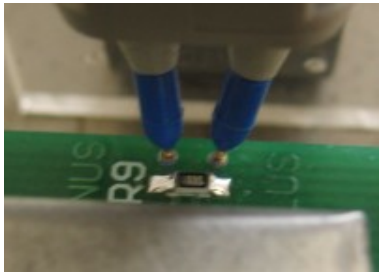
- **3.1 mW** przy 640MHz i zasilaniu 3.3V
- **4.3 mW** przy 960MHz i zasilaniu 3.3V

Pobór mocy około 4 razy mniejszy niż w pierwszym prototypie

Wstępne pomiary przewodowej transmisji sygnału zegarowego

Bezpośrednio na PCB

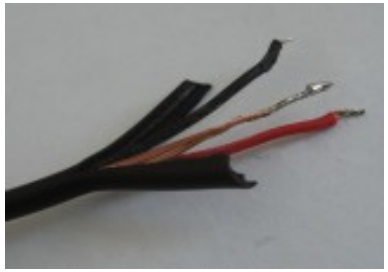
f=1GHz, Vpp=719mV



1m nieekranowanej skrętki UTP

f=1GHz, Vpp=542mV

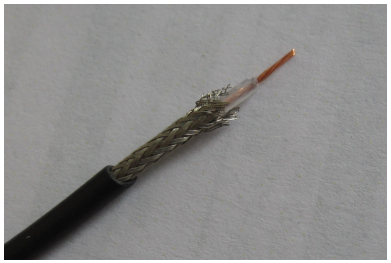
Tłumienie=2.46dB/m



1m przewodu nieekranowanego

f=1GHz, Vpp=248mV

Tłumienie=9.26dB/m



1m przewodu koncentrycznego (2x RG-174 50R)

f=1GHz, Vpp=678mV

Tłumienie=0.52dB/m

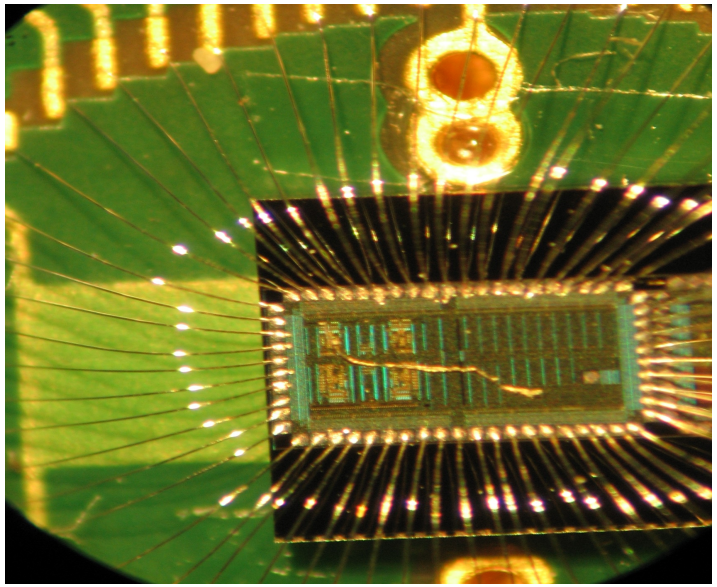
Dobry kandydat do przyszłych testów transmisji danych

Podsumowanie

- **Transceiver pierwszy prototyp:**
  - **Pełna funkcjonalność**
  - Szeroki zakres częstotliwości w trybie 960MHz:

    PLL: 480 ÷ 1072 MHz

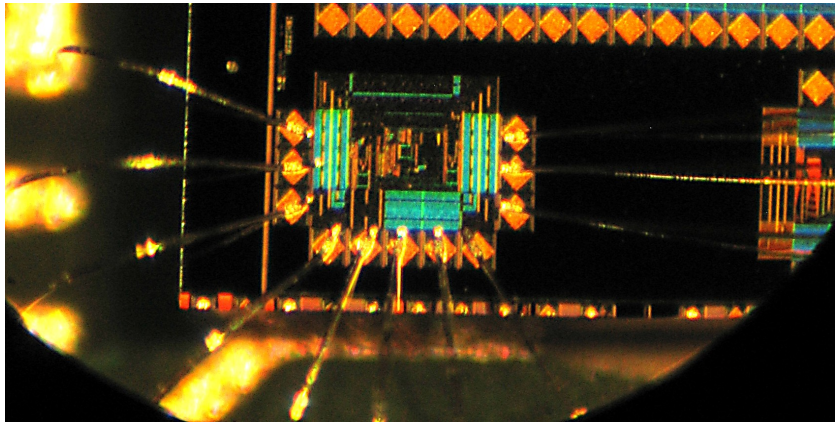
    Transceiver: 640 ÷ 976 MHz



- **PLL drugi prototyp:**
  - **Pełna funkcjonalność**
  - Szeroki zakres częstotliwości:

    380 ÷ 1120 MHz
  - Niski pobór mocy:

    4.3mW przy 960 MHz



Plany na przyszłość

- **Bliższe plany:**
  - Pomiary przewodowej transmisji danych
  - Pomiary transmisji danych między nadajnikiem a FPGA
  - Transmiter do wielokanałowego ADC w technologii AMS 0.35 μm
  - Transmiter o niskim poborze mocy w technologii AMS 0.35 μm dla detektora LumiCal
- **Dalsze plany:**
  - Transceiver o ultra niskim poborze mocy w mniejszej technologii (np. IBM 0.13 μm)
  - PLL, DLL – projekty dla innych układów (TDC, ...)

Dziękuję za uwagę